

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-254799

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

G06F 13/00
H04L 29/10

(21)Application number : 09-079211

(71)Applicant : HITACHI TELECOM TECHNOL
LTD

(22)Date of filing : 14.03.1997

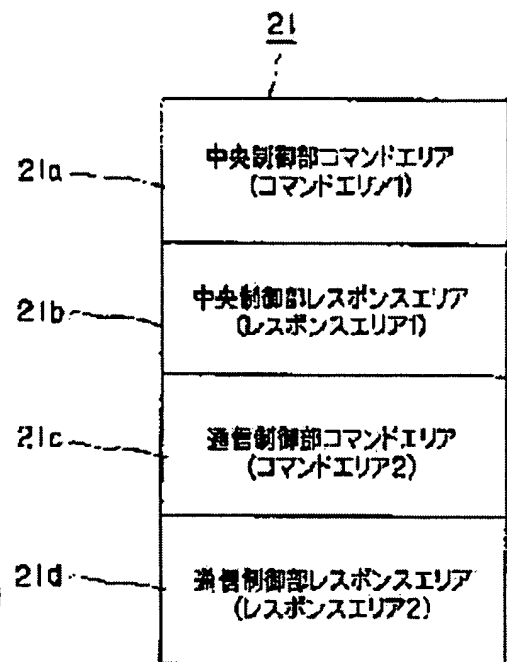
(72)Inventor : ENDO NOBUYUKI

(54) INTERFACE CONTROL METHOD OF COMMUNICATION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate a recognition wait time on a response reception side after response issue, and to obtain a high-speed interface and to prevent double issue of a command by allowing each control part to monitor each area of a common memory.

SOLUTION: The common memory 21 for the interface is divided into a central control part command area 21a, a central control part response area 21b, a communication control part command area 21c, and a communication control part response area 21d. Then respective control parts monitor the respective areas 21a to 21d of the common memory 21. This control method once receiving a response to a command issued on a command issue side clears the command area of the common area 21 and when a response issue side detects the command area being cleared, the normal recognition of the response issue on the response reception side which is the command issue side is detected, thereby making it ready to issue a command.



LEGAL STATUS

[Date of request for examination]

05.03.2003

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The interface section between the CC sections which control two or more communications control section and said two or more communications control sections is equipped with the shared memory which has each area of the command section of the command section of said communications control section, the response section, and said CC section, and the response section. If the response to the command which the command issuance side published is received, the command area of said shared memory will be cleared. The interface control approach of the communication device characterized by detecting that said response has been normally recognized by the response receiving side which is said command issuance side when a response issuance side detects that said command area was cleared, and making it into a command [degree] issuance condition.

[Claim 2] The low control section of the priority beforehand set that command issuance arises from the communications control section and the CC section simultaneously processes preferentially the processing to the command from the high control section of priority, and publishes a response. The interface control approach of the communication device according to claim 1 which will be characterized by considering as a command [degree] issuance condition if the high control section of priority disregards the command from the low control section of priority and receives said response from the low control section of priority.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the interface control approach between the control sections of the plurality of a communication device.

[0002]

[Description of the Prior Art] Conventionally, the shared memory was used for the interface between two or more control sections, and in the control approach of delivering control information according to a command / response format, when the following command was published without waiting for reception completion of a response receiving side, in order that a response could stop having to receive by command reception and might receive the following command during response reception by the response receiving side, complicated reception was needed.

[0003] As an approach of preventing duplex issuance of the command from such each control section, it is after issuance of the response to a command, and a response issuance side, and the method of having sufficient time amount for a response receiving side receiving a response fixed was adopted as the 1st approach.

[0004] moreover, as an evasion means when simultaneous issuance of the command from the CC section to each communications control section or the CC section from each communications control section occurs It had the structure which controls an access privilege in hard to a shared memory, only the control section which acquired the access privilege enabled the writing and issuance of the command to a shared memory, and the method of preventing simultaneous issuance of a command before issuance was adopted as the 2nd approach.

[0005] Moreover, in both control sections, the method of operating by multi in software and avoiding the processing to the received command and processing of the command which self transmitted after simultaneous issuance of a command was adopted as the 3rd approach.

[0006]

[Problem(s) to be Solved by the Invention] However, since the check of whether response reception was completed by the response issuance side by the response receiving side like the 1st approach cannot be taken, When time amount fixed in order to prevent duplex issuance of the command of receiving the following command during response reception by the REPONSU receiving side is needed, The latency time of fixed spacing will surely arise until a response issuance side publishes the following command, and there was inconvenience that a high-speed interface was unrealizable.

[0007] Moreover, when giving control of a hard access privilege to a shared memory like the 2nd approach, there was inconvenience the amount of development not only increases, but that hard structure became complicated and the cost of product became high.

[0008] Moreover, when it is going to operate and is going to realize in software processing to the command received like the 3rd approach, and processing of the command which self published by multi, it sets to all the control sections that require an interface. In order the complicated structure which operates by multi is needed and to perform evasion processing after simultaneous issuance of a

command for the development magnitude of software not only to increase, but, When simultaneous issuance of a command occurred, complicated evasion processing which operates by multi will be performed, and there was inconvenience that the processing time will increase.

[0009] This invention was made in order to solve such a conventional technical problem, and the 1st object is abolishing the recognition latency time of the response receiving side after response issuance, and considering as a high-speed interface, and is a response issuance side, and is to prevent duplex issuance of a command by enabling it to take the check of whether the response receiving side was received normally.

[0010] Moreover, the 2nd object abolishes the structure of hard control of giving an access privilege in hard, and is shown in aiming at cutback of hard development magnitude, and reduction of the cost of product.

[0011] Moreover, the 3rd object abolishes the complicated structure for operating by multi in software, and is shown in aiming at time amount compaction with the cutback of the development magnitude of software, and the interface between control sections.

[0012]

[Means for Solving the Problem] Invention according to claim 1 by this invention The interface section between the CC sections which control two or more communications control section and two or more of these communications control sections is equipped with the shared memory which has each area of the command section of the command section of the communications control section, the response section, and the CC section, and the response section. If the response to the command which the command issuance side published is received, the command area of a shared memory will be cleared. If a response issuance side detects that command area was cleared, it will detect that the response has been normally recognized by the response receiving side which is a command issuance side, and it will be made into a command [degree] issuance condition.

[0013] According to this invention, it becomes possible it not only to realize a high-speed interface, but for a response issuance side to be able to detect that the response which self published has been normally recognized by the response receiving side, to abolish the latency time of the response receiving side at the time of response issuance, and to prevent duplex issuance of a command under each control section supervising each area of a shared memory.

[0014] Invention according to claim 2 by this invention is set to invention according to claim 1. The low control section of the priority beforehand set that command issuance arises from the communications control section and the CC section simultaneously processes preferentially the processing to the command from the high control section of priority, and publishes a response. If the high control section of priority disregards the command from the low control section of priority and receives the response from the low control section of priority, it will consider as a command [degree] issuance condition.

[0015] In order to avoid simultaneous issuance of the command between each control section, when according to this invention priority is defined beforehand, for example, priority at the time of command issuance of the communications control section is made high, since the command of the communications control section is precedence, after the CC section performs deferment processing of the command which the continece section published and performs processing to the command received from the communications control section, it publishes a response in the communications control section. On the other hand, since the communications control section which received the command is [command] under issuance to the CC section, it disregards the command from the CC section, and it will be in the state waiting for response receiving of the command which self published. If a response is received, the communications control section will return to the initial state in which command issuance is possible again. It will be in the condition in which the recurrence line of a command to the communications control section which also made deferment the CC section which published the response is possible.

[0016]

[Embodiment of the Invention] Drawing 1 is the block diagram of the outline configuration of the communication device with which the interface control approach of the communication device by this invention is applied. In this drawing The CC section 1 as SIMM (single in-line memory module)11

which functions as main program actuation area, and a main program storage area As functioning EEPROM (electric elimination mold rewritable ROM)12 and area for backup As functioning RAM13 and an initial diagnostic program area CPU (central processing unit)15, FPGA (field-programmable gate array)16, and SCU (serial interface control device)17 which control functioning ROM14 and the CC section 1 are mutually connected through the bus. Furthermore, CLK (clock feeder)18 is connected to CPU15. And CPU15 is connected to the external bus line.

[0017] moreover The communications control section 2 as a shared memory for an interface As DPRAM (dual port RAM)21 and FPGA (field-programmable gate array)22 functioning, CPU (central processing unit)23 which controls the communications control section 2, and a main program storage area Functioning EPROM (ultraviolet-rays elimination mold rewritable ROM)24 and SRAM (static RAM)25 of each other which functions as main program actuation area are connected through the bus. Furthermore, SYNC (cel transmit/receive control equipment)26 and CLK (clock feeder)27 are connected to CPU23. And DPRAM21 as a shared memory for an interface is connected to the external bus line.

[0018] Drawing 2 is drawing showing the storage area of the shared memory 21 for an interface which delivers control information of the CC section 1 and the communications control section 2. CC section command area 21a which publishes the command from the CC section 1 to the communications control section 2, CC section response area 21b which publishes the response from the CC section 1 to the communications control section 2, Communications control section command area 21c which publishes the command from the communications control section 2 to the CC section 1, It can be divided into communications control section response area 21d which publishes the response from the communications control section 2 to the CC section 1, and the control information of the CC section 1 and the control information of the communications control section 2 can be distinguished now.

[0019] Drawing 3 is a flow chart which shows the procedure which prevents duplex issuance of a command with the interface of the CC section 1 and the communications control section 2. The continuous-line arrow head with which the continuous-line arrow head which smeared away the head shows the flow of processing, and has not smeared it away shows interruption among drawing, and a broken-line arrow head shows the monitor of a shared memory.

[0020] In this drawing, the shared memory 21 for an interface which delivers control information of the CC section 1 and the communications control section 2 first is in the condition of having been cleared, by the initial state (step S11).

[0021] The CC section 1 publishes write command [of control information] ** "a xxx demand" to command area 1 to the communications control section 2 (step S12), and becomes the response waiting from the communications control section 2 (step S13).

[0022] The communications control section 2 which received the command from the CC section 1 by the initial state performs processing of (step S14) and its control information, publishes response ** "xxx completion" to the CC section 1 (step S15), and serves as clearance waiting which supervises the clearance of the command area 1 of the CC section 1 (step S16).

[0023] It is made to recognize that the CC section 1 which received response ** from the communications control section 2 cleared (step S17) and command area 1 (step S18), and received response ** normally to the communications control section 2.

[0024] The communications control section 2 which was supervising the clearance of the command area 1 of the CC section 1 will clear the response area 2, if it detects that command area 1 was cleared (step S19). Thereby, it means that all processings about this command were completed, and both the CC section 1 and the communications control section 2 return to the initial state (step S11) which can publish the following command.

[0025] Drawing 4 is a flow chart which shows the procedure at the time of simultaneous issuance of a command with the interface of the CC section 1 and the communications control section 2. In this drawing, the shared memory (DPRAM) 21 for an interface which delivers control information of the CC section 1 and the communications control section 2 is cleared by the initial state (step S21).

[0026] The CC section 1 publishes write command [of control information] ** "a xxx demand" to

command area 1 to the communications control section 2 (step S22), and becomes the response waiting from the communications control section 2 (step S23).

[0027] The communications control section 2 publishes write command [of control information] ** "a xxx demand" to command area 2 to the CC section 1 (step S24), and becomes the response waiting from the communications control section 2 (step S25). It means that simultaneous issuance of a command had occurred between the CC section 1 and the communications control section 2 at this event.

[0028] Deferment [the section / the CC section 1 which received the command from the communications control section 2 in the RESUPON waiting state gives priority to the command from (step S26) and the communications control section 2, and / processing of command ** published to the communications control section 2] (step S27).

[0029] The CC section 1 publishes response ** "a xxx response" to the communications control section 2 after performing processing of control information to command ** which received (step S28) (step S29), and serves as clearance waiting which supervises the clearance of the command area 2 of the communications control section 2 (step S30).

[0030] Since the communications control section 2 which received command ** from the CC section 1 is in the waiting state waiting for a response from (step S31) and the CC section 1, it disregards command ** (step S32), and it serves as waiting for a response again (step S33).

[0031] It is made to recognize that the communications control section 2 which received response ** from the CC section 1 cleared (step S34) and the published command area, and received the response normally to the CC section 1 (step S35).

[0032] The CC section 1 which was supervising the clearance of the command area 2 of the communications control section 2 will clear the response area 1 which published response **, if it detects that command area 2 was cleared (step S36).

[0033] Subsequently, if the CC section 1 judges whether deferment processing of command issuance was performed to the communications control section 2 (step S37) and is performing deferment processing of command issuance, it will be published in the communications control section 2 by considering the same command ** as retry processing (step S38), and will serve as response waiting from the communications control section 2 (step S39).

[0034] The communications control section 2 from which share area is already an initial state will perform processing to steps S29-S36, if command ** from the CC section 1 is received (step S40). When it is not [command / be / it] under issuance, processing in which it returns to the initial state (step S21) which can publish the following command is repeated, and is performed.

[0035] In addition, although precedence of command issuance was given to the communications processing section 2, you may make it keep precedence of issuance of a command waiting to the CC section 1 with the gestalt of the above-mentioned operation. In this case, it is realizable by reversing the same processing in the CC section 1 and the communications control section 2.

[0036]

[Effect of the Invention] It becomes possible under each control section supervising each area of a shared memory according to this invention, a response issuance side can detect that the response which self published has been normally recognized by the response receiving side, and abolishes the recognition latency time of the response receiving side at the time of response issuance and it not only to consider as a high-speed interface, but to prevent duplex issuance of a command.

[0037] Moreover, since the low control section of priority processes the command from the high control section of priority, and publishes a response and he is trying for the high control section of priority to disregard the command from the low control section of priority when according to this invention the priority at the time of command issuance is defined between control sections and a command publishes simultaneously from between each control section, simultaneous issuance of the command between each control section is avoidable.

[0038] Moreover, according to this invention, the complicated structure for operating by multi in software with the structure of hard control can be abolished, and time amount compaction with the cutback of the development magnitude of software and the interface between control sections can be

aimed at.

[Translation done.]

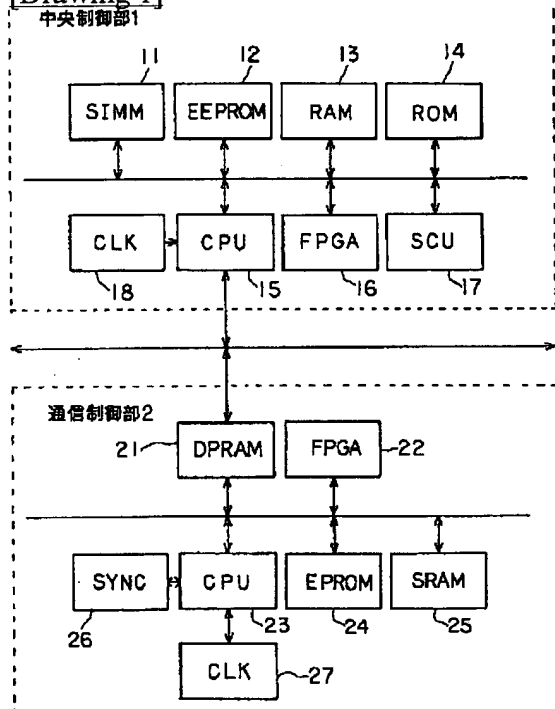
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

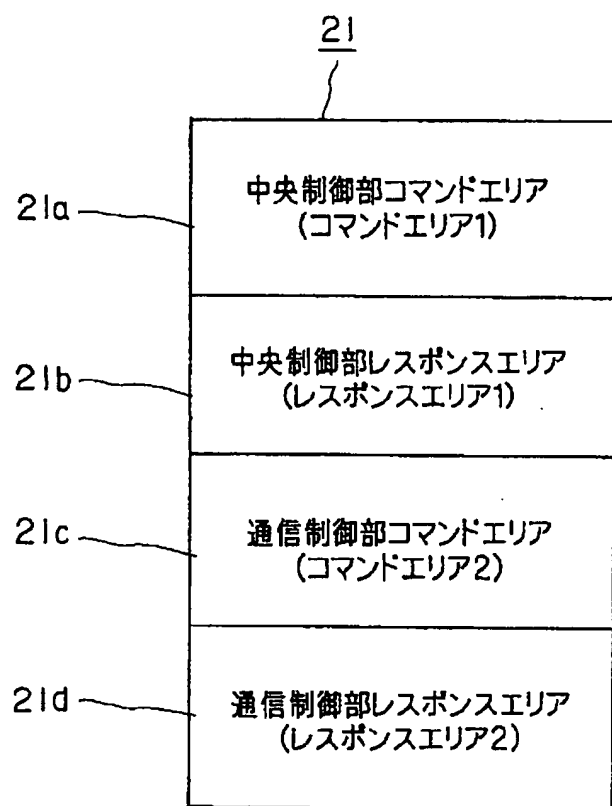
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

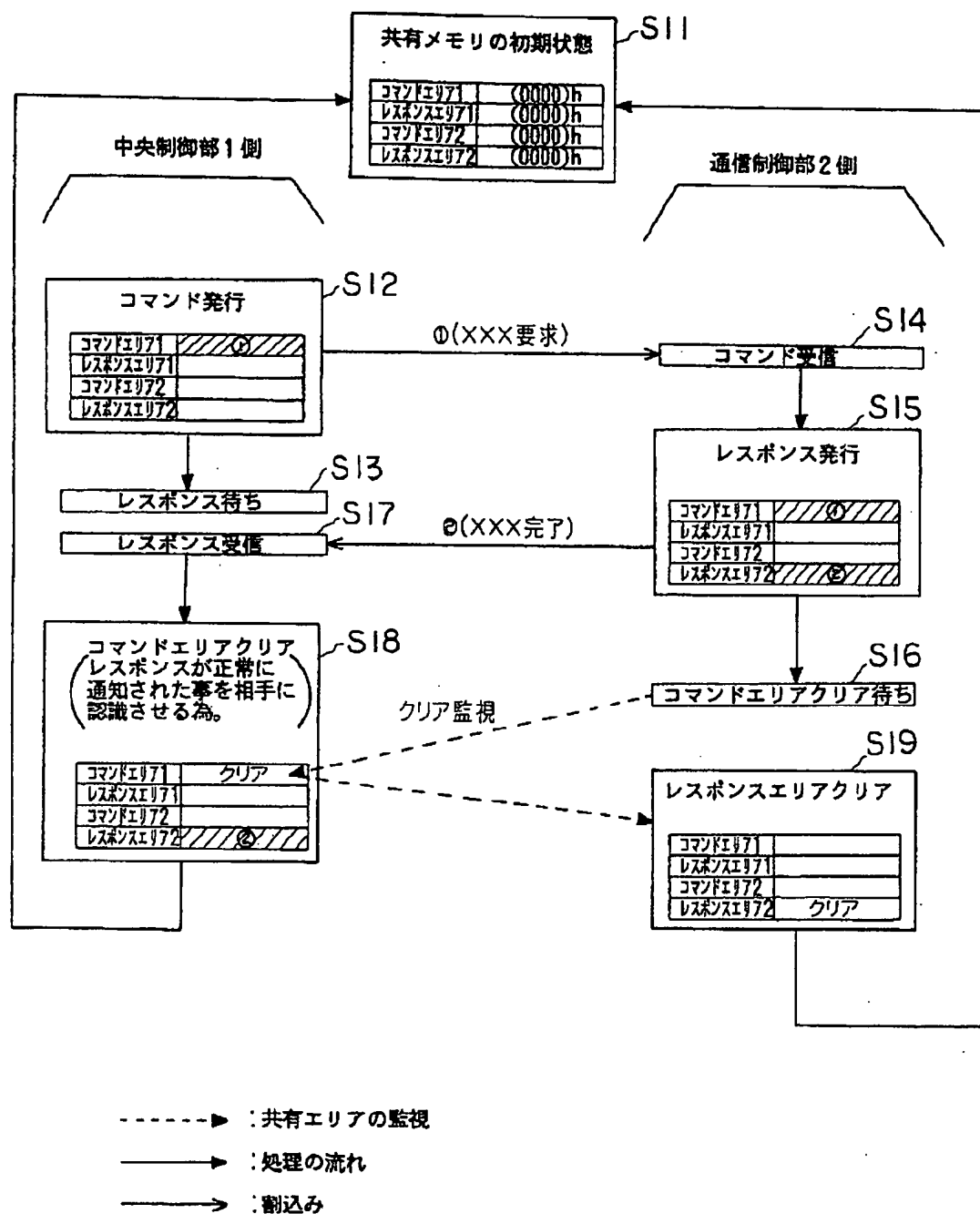
[Drawing 1]



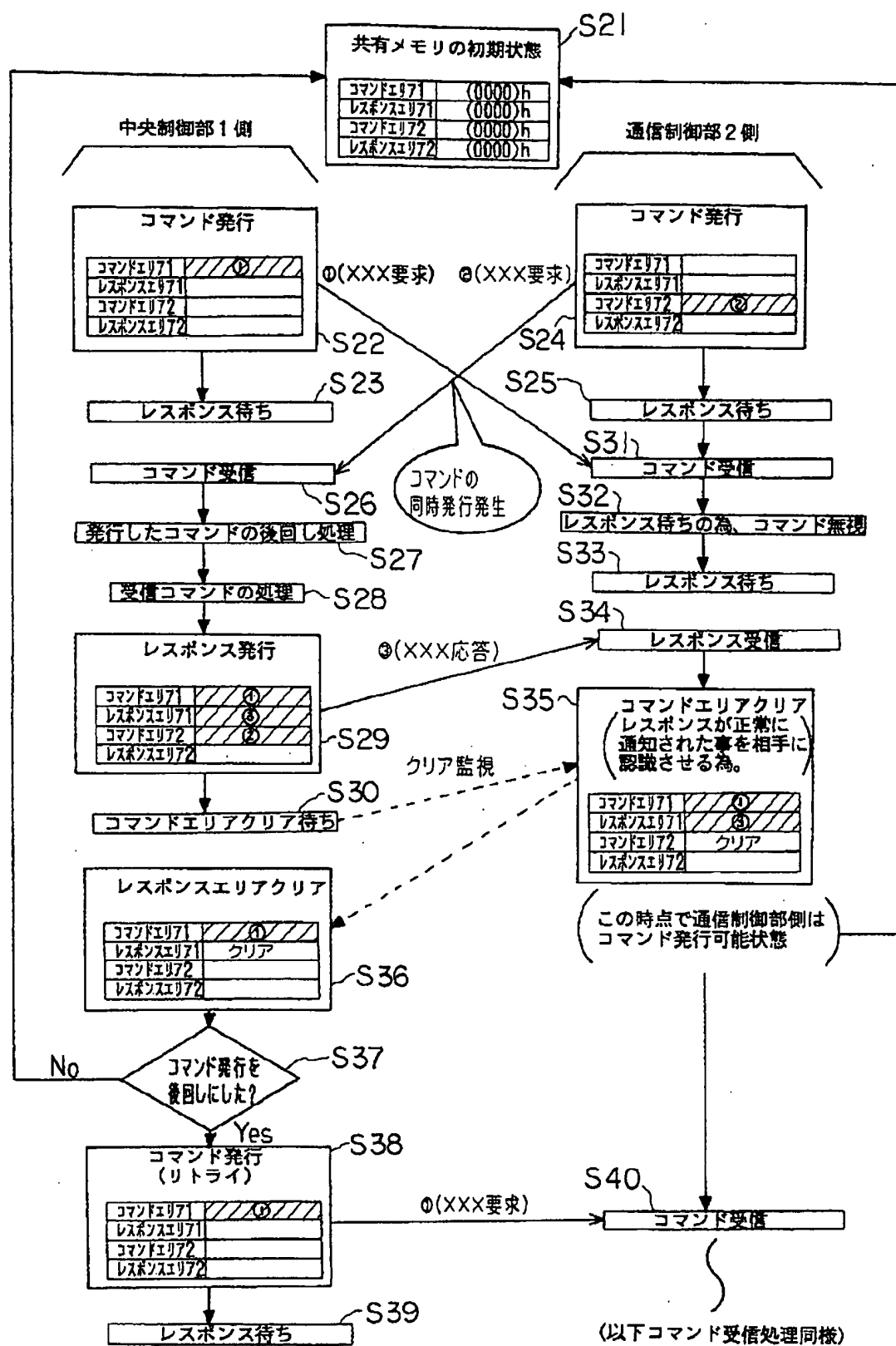
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]

INTERFACE CONTROL METHOD OF COMMUNICATION DEVICE

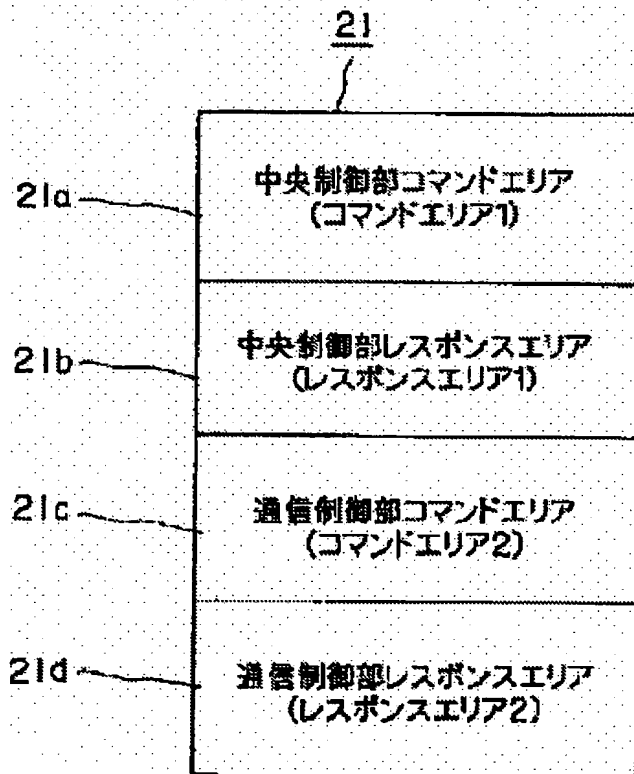
Patent number: JP10254799
Publication date: 1998-09-25
Inventor: ENDO NOBUYUKI
Applicant: HITACHI TELECOMM TECH
Classification:
- international: G06F13/00; H04L29/10; G06F13/00; H04L29/10; (IPC1-7): G06F13/00; H04L29/10
- european:
Application number: JP19970079211 19970314
Priority number(s): JP19970079211 19970314

Report a data error here

Abstract of JP10254799

PROBLEM TO BE SOLVED: To eliminate a recognition wait time on a response reception side after response issue, and to obtain a high-speed interface and to prevent double issue of a command by allowing each control part to monitor each area of a common memory.

SOLUTION: The common memory 21 for the interface is divided into a central control part command area 21a, a central control part response area 21b, a communication control part command area 21c, and a communication control part response area 21d. Then respective control parts monitor the respective areas 21a to 21d of the common memory 21. This control method once receiving a response to a command issued on a command issue side clears the command area of the common area 21 and when a response issue side detects the command area being cleared, the normal recognition of the response issue on the response reception side which is the command issue side is detected, thereby making it ready to issue a command.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-254799

(43) 公開日 平成10年(1998) 9月25日

(51) Int. Cl. ⁶

G06F 13/00

H04L 29/10

識別記号

353

F I

G06F 13/00

H04L 13/00

353

309

C

C

審査請求 未請求 請求項の数 2 F D (全 7 頁)

(21) 出願番号 特願平9-79211

(22) 出願日 平成9年(1997) 3月14日

(71) 出願人 000153465

株式会社日立テレコムテクノロジー

福島県郡山市字船場向94番地

(72) 発明者 遠藤 信行

福島県郡山市字船場向94番地 株式会社日

立テレコムテクノロジー内

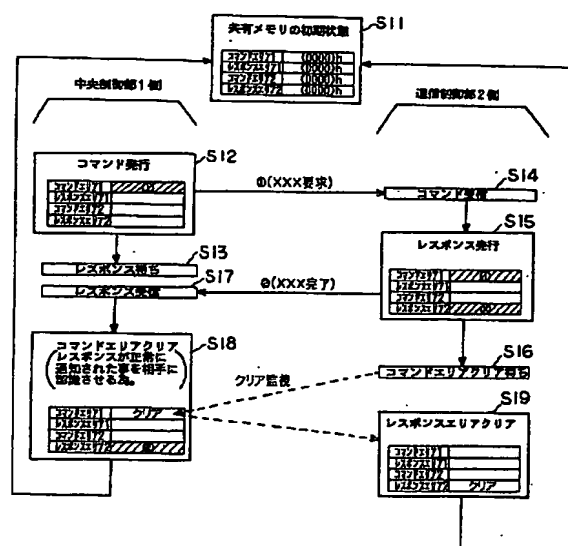
(74) 代理人 弁理士 青木 輝夫

(54) 【発明の名称】 通信装置のインターフェイス制御方法

(57) 【要約】

【課題】 通信装置の複数の制御部間におけるインターフェイス制御方法に関し、コマンドの二重発行を防止し、ハード的制御の仕組みをなくし、ソフト的にマルチで動作するための複雑な仕組みをなくし、開発規模の縮小と制御部間インターフェイスでの時間短縮を図ることを目的とする。

【解決手段】 複数の通信制御部 2 および複数の通信制御部を制御する中央制御部 1 間のインターフェイス部に通信制御部のコマンド部およびレスポンス部ならびに中央制御部のコマンド部およびレスポンス部の各エリアを有する共有メモリ 21 を備え、コマンド発行側が発行したコマンドに対するレスポンスを受信すると共有メモリのコマンドエリアをクリアし、レスポンス発行側がコマンドエリアがクリアされたことを検出するとコマンド発行側であるレスポンス受信側でレスポンスが正常に認識されたことを検出し、次コマンド発行状態とする。



----- : 共有エリアの監視
 → : 処理の流れ
 — : クリア

【特許請求の範囲】

【請求項 1】 複数の通信制御部および前記複数の通信制御部を制御する中央制御部間のインターフェイス部に前記通信制御部のコマンド部およびレスポンス部ならびに前記中央制御部のコマンド部およびレスポンス部の各エリアを有する共有メモリを備え、

コマンド発行側が発行したコマンドに対するレスポンスを受信すると前記共有メモリのコマンドエリアをクリアし、レスポンス発行側が前記コマンドエリアがクリアされたことを検出すると前記コマンド発行側であるレスポンス受信側で前記レスポンスが正常に認識されたことを検出し、次コマンド発行状態とすることを特徴とする通信装置のインターフェイス制御方法。

【請求項 2】 通信制御部および中央制御部から同時にコマンド発行が生じると、予め定めた優先順位の低い制御部が優先順位の高い制御部からのコマンドに対する処理を優先的に処理してレスポンスを発行し、優先順位の高い制御部が優先順位の低い制御部からのコマンドを無視して優先順位の低い制御部からの前記レスポンスを受信すると、次コマンド発行状態とすることを特徴とする請求項 1 記載の通信装置のインターフェイス制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、通信装置の複数の制御部間におけるインターフェイス制御方法に関する。

【0002】

【従来の技術】 従来、複数の制御部間のインターフェイスに共有メモリを使用し、コマンド／レスポンス形式によって制御情報の受け渡しを行う制御方法において、レスポンス受信側の受信処理完了を待たずに次のコマンドを発行した場合、レスポンス受信側でレスポンスがコマンド受信により受け取れなくなったり、レスポンス受信処理中に次のコマンドを受信しなければならないため、複雑な受信処理を必要とした。

【0003】 このような各制御部からのコマンドの二重発行を防止する方法としては、コマンドに対するレスポンスの発行後、レスポンス発行側でレスポンス受信側がレスポンスを受信するのに十分な時間を固定的に持つという方法が第 1 の方法として採用されていた。

【0004】 また、中央制御部から各通信制御部へ、または各通信制御部から中央制御部へのコマンドの同時発行が発生した場合の回避手段としては、共有メモリに対しハード的にアクセス権を制御する仕組みを持ち、そのアクセス権を得た制御部だけが共有メモリへのコマンドの書き込みと発行を可能とし、コマンドの同時発行を発行以前に防止する方法が第 2 の方法として採用されていた。

【0005】 また、両制御部において、受信したコマンドに対しての処理と、自身が送信したコマンドの処理をソフト的にマルチで動作し、コマンドの同時発行後に回

避する方法が第 3 の方法として採用されていた。

【0006】

【発明が解決しようとする課題】 しかしながら、第 1 の方法のようにレスポンス発行側がレスポンス受信側でレスポンス受信処理が完了したかどうかの確認がとれないため、レスポンス受信側でレスポンス受信処理中に次のコマンドを受信するといったコマンドの二重発行を防止するために固定的な時間を必要とする場合、レスポンス発行側が次のコマンドを発行するまで必ず一定間隔の待ち時間が生じることになり、高速のインターフェイスを実現できないといった不都合があった。

【0007】 また、第 2 の方法のように共有メモリにハード的なアクセス権の制御を持たせる場合、ハード的な仕組みが複雑になり、開発量が増大するばかりでなく、製品原価が高くなるといった不都合があった。

【0008】 また、第 3 の方法のように受信したコマンドに対しての処理と、自身が発行したコマンドの処理とをソフト的にマルチで動作し実現しようとする場合、インターフェイスを要する全ての制御部において、マルチで動作する複雑な仕組みが必要となり、ソフトの開発規模が増大するばかりでなく、コマンドの同時発行後に回避処理を行うため、コマンドの同時発行が発生した場合、マルチで動作する複雑な回避処理が実行されることになり、処理時間が増大してしまうといった不都合があった。

【0009】 本発明は、このような従来の課題を解決するためになされたもので、その第 1 の目的は、レスポンス発行後におけるレスポンス受信側の認識待ち時間をなくして高速のインターフェイスとすることであり、かつレスポンス発行側でレスポンス受信側が正常に受信されたか否かの確認がとれるようにすることでコマンドの二重発行を防止することにある。

【0010】 また、その第 2 の目的は、ハード的にアクセス権を持たせるなどのハード的制御の仕組みをなくし、ハード的な開発規模の縮小と製品原価の低減を図ることにある。

【0011】 また、その第 3 の目的は、ソフト的にマルチで動作するための複雑な仕組みをなくし、ソフトの開発規模の縮小と制御部間インターフェイスでの時間短縮を図ることにある。

【0012】

【課題を解決するための手段】 本発明による請求項 1 記載の発明は、複数の通信制御部およびこの複数の通信制御部を制御する中央制御部間のインターフェイス部に通信制御部のコマンド部およびレスポンス部ならびに中央制御部のコマンド部およびレスポンス部の各エリアを有する共有メモリを備え、コマンド発行側が発行したコマンドに対するレスポンスを受信すると共有メモリのコマンドエリアをクリアし、レスポンス発行側がコマンドエリアがクリアされたことを検出するとコマンド発行側で

10

20

30

40

50

あるレスポンス受信側でレスポンスが正常に認識されたことを検出し、次コマンド発行状態とするものである。

【0013】本発明によれば、共有メモリの各エリアを各制御部が監視することで、レスポンス発行側は自身の発行したレスポンスがレスポンス受信側で正常に認識されたことを検出することができ、レスポンス発行時におけるレスポンス受信側の待ち時間をなくし、高速のインターフェイスを実現するだけでなく、コマンドの二重発行を防止することが可能になる。

【0014】本発明による請求項2記載の発明は、請求項1記載の発明において、通信制御部および中央制御部から同時にコマンド発行が生じると、予め定めた優先順位の低い制御部が優先順位の高い制御部からのコマンドに対する処理を優先的に処理してレスポンスを発行し、優先順位の高い制御部が優先順位の低い制御部からのコマンドを無視して優先順位の低い制御部からのレスポンスを受信すると、次コマンド発行状態とするものである。

【0015】本発明によれば、各制御部間のコマンドの同時発行を回避するために予め優先順位を定め、例えば通信制御部のコマンド発行時の優先順位を高くした場合は、中央制御部は通信制御部のコマンドが優先であるため、自制御部が発行したコマンドの後回し処理を実行し、通信制御部から受信したコマンドに対する処理を実行した後に通信制御部にレスポンスを発行する。一方、コマンドを受信した通信制御部は中央制御部に対してコマンド発行中であるため中央制御部からのコマンドを無視し、自身が発行したコマンドのレスポンス受信待ち状態となる。レスポンスを受信すると通信制御部は再びコマンド発行可能な初期状態に戻る。レスポンスを発行した中央制御部も後回しにした通信制御部に対するコマンドの再発行が可能な状態となる。

【0016】

【発明の実施の形態】図1は、本発明による通信装置のインターフェイス制御方法が適用される通信装置の概略構成のブロック図である。同図において、中央制御部1はメインプログラム動作エリアとして機能するSIMM（シングルインライン・メモリモジュール）11、メインプログラム格納エリアとして機能するEEPROM（電氣的消去型書き換え可能ROM）12、バックアップ用エリアとして機能するRAM13、初期診断プログラムエリアとして機能するROM14、中央制御部1を制御するCPU（中央処理装置）15、FPGA（フィールドプログラマブル・ゲートアレイ）16およびSCU（シリアルインターフェイス制御装置）17がバスを介して互いに接続されており、さらにCLK（クロック供給装置）18がCPU15に接続されている。そして、CPU15が外部のバスラインに接続されている。

【0017】また、通信制御部2はインターフェイス用共有メモリとして機能するDPRAM（デュアルポート

RAM）21、FPGA（フィールドプログラマブル・ゲートアレイ）22、通信制御部2を制御するCPU

（中央処理装置）23、メインプログラム格納エリアとして機能するEPROM（紫外線消去型書き換え可能ROM）24、メインプログラム動作エリアとして機能するSRAM（スタティックRAM）25がバスを介して互いに接続されており、さらにSYNC（セル送受信制御装置）26およびCLK（クロック供給装置）27がCPU23に接続されている。そして、インターフェイス用共有メモリとしてのDPRAM21が外部のバスラインに接続されている。

【0018】図2は、中央制御部1と通信制御部2の制御情報の受け渡しを行うインターフェイス用共有メモリ21の記憶エリアを示す図で、中央制御部1から通信制御部2へのコマンドを発行する中央制御部コマンドエリア21a、中央制御部1から通信制御部2へのレスポンスを発行する中央制御部レスポンスエリア21b、通信制御部2から中央制御部1へのコマンドを発行する通信制御部コマンドエリア21c、通信制御部2から中央制御部1へのレスポンスを発行する通信制御部レスポンスエリア21dとに分割され、中央制御部1の制御情報と通信制御部2の制御情報とを区別することができるようになっている。

【0019】図3は、中央制御部1と通信制御部2のインターフェイスにてコマンドの二重発行を防止する処理手順を示すフローチャートである。図中、先端を塗り潰した実線矢印は処理の流れを示し、塗り潰していない実線矢印は割込みを示し、破線矢印は共有メモリの監視を示す。

【0020】同図において、まず中央制御部1と通信制御部2との制御情報の受け渡しを行うインターフェイス用共有メモリ21は、初期状態ではクリアされた状態にある（ステップS11）。

【0021】中央制御部1は通信制御部2に対しコマンドエリア1に制御情報の書き込みコマンド①「×××要求」を発行し（ステップS12）、通信制御部2からのレスポンス待ちになる（ステップS13）。

【0022】初期状態で中央制御部1からのコマンドを受信した通信制御部2は（ステップS14）、その制御情報の処理を実行し、中央制御部1に対してレスポンス②「×××完了」の発行を行い（ステップS15）、中央制御部1のコマンドエリア1のクリアを監視するクリア待ちとなる（ステップS16）。

【0023】通信制御部2からのレスポンス②を受信した中央制御部1は（ステップS17）、コマンドエリア1をクリアし（ステップS18）、通信制御部2に対してレスポンス②を正常に受信したことを認識させる。

【0024】中央制御部1のコマンドエリア1のクリアを監視していた通信制御部2は、コマンドエリア1がクリアされたことを検出すると、レスポンスエリア2をク

リアする(ステップS19)。これにより、このコマンドに関する処理が全て完了したことになり、中央制御部1および通信制御部2はともに次のコマンドが発行可能である初期状態(ステップS11)へと戻る。

【0025】図4は、中央制御部1と通信制御部2のインターフェイスにてコマンドの同時発行時の処理手順を示すフローチャートである。同図において、中央制御部1と通信制御部2との制御情報の受け渡しを行うインターフェイス用共有メモリ(DPRAM)21は、初期状態ではクリアされている(ステップS21)。

【0026】中央制御部1は通信制御部2に対しコマンドエリア1に制御情報の書き込みコマンド①「×××要求」を発行し(ステップS22)、通信制御部2からのレスポンス待ちになる(ステップS23)。

【0027】通信制御部2は中央制御部1に対しコマンドエリア2に制御情報の書き込みコマンド②「×××要求」を発行し(ステップS24)、通信制御部2からのレスポンス待ちになる(ステップS25)。この時点で中央制御部1および通信制御部2間でコマンドの同時発行が発生したことになる。

【0028】レスポンス待ち状態で通信制御部2からのコマンドを受信した中央制御部1は(ステップS26)、通信制御部2からのコマンドを優先し、通信制御部2に対して発行したコマンド①の処理を後回しする(ステップS27)。

【0029】中央制御部1は受信したコマンド②に対する制御情報の処理を実行後(ステップS28)、通信制御部2に対してレスポンス③「×××応答」の発行を行い(ステップS29)、通信制御部2のコマンドエリア2のクリアを監視するクリア待ちとなる(ステップS30)。

【0030】中央制御部1からコマンド①を受信した通信制御部2は(ステップS31)、中央制御部1からのレスポンス待ち状態であるのでコマンド①を無視し(ステップS32)、再びレスポンス待ちとなる(ステップS33)。

【0031】中央制御部1からレスポンス③を受信した通信制御部2は(ステップS34)、発行したコマンドエリアをクリアし、中央制御部1に対しレスポンスを正常に受信したことを認識させる(ステップS35)。

【0032】通信制御部2のコマンドエリア2のクリアを監視していた中央制御部1は、コマンドエリア2がクリアされたことを検出すると、レスポンス③を発行したレスポンスエリア1をクリアする(ステップS36)。

【0033】次いで、中央制御部1は通信制御部2に対してコマンド発行の後回し処理を行ったかどうかの判定を行い(ステップS37)、コマンド発行の後回し処理を行っていたならば、同一のコマンド①をリトライ処理として通信制御部2に発行し(ステップS38)、通信制御部2からのレスポンス待ちとなる(ステップS3

9)。

【0034】すでに共有エリアが初期状態になっている通信制御部2は、中央制御部1からのコマンド①を受信すると(ステップS40)、ステップS29～S36までの処理を行う。コマンド発行中でなかった場合は、次のコマンドが発行可能である初期状態(ステップS21)へ戻るという処理を繰り返し行う。

【0035】なお、前述の実施の形態では、通信処理部2に対してコマンド発行の優先を持たせるようにしたが、中央制御部1に対してコマンドの発行の優先を待たせるようにしてもよい。この場合は、同様の処理を中央制御部1と通信制御部2とで逆転させることにより実現可能である。

【0036】

【発明の効果】本発明によれば、共有メモリの各エリアを各制御部が監視することで、レスポンス発行側は自身の発行したレスポンスがレスポンス受信側で正常に認識されたことを検出することができ、レスポンス発行時におけるレスポンス受信側の認識待ち時間をなくし、高速のインターフェイスとすることだけでなく、コマンドの二重発行を防止することが可能になる。

【0037】また、本発明によれば、制御部間にコマンド発行時の優先順位を定め、各制御部間からコマンドが同時に発行した時は、優先順位の低い制御部が優先順位の高い制御部からのコマンドを処理してレスポンスを発行し、優先順位の高い制御部は優先順位の低い制御部からのコマンドを無視するようにしているので、各制御部間のコマンドの同時発行を回避することができる。

【0038】また、本発明によれば、ハード的制御の仕組みとソフト的にマルチで動作するための複雑な仕組みとをなくすことができ、ソフトウェアの開発規模の縮小と制御部間インターフェイスでの時間短縮を図ることができる。

【図面の簡単な説明】

【図1】本発明が適用される通信装置のブロック図である。

【図2】インターフェイス用共有メモリの記憶エリアを示す図である。

【図3】中央制御部と通信制御部のインターフェイスにてコマンドの二重発行を防止する処理手順を示すフローチャートである。

【図4】中央制御部と通信制御部のインターフェイスにてコマンドの同時発行が生じた場合の回避手順を示すフローチャートである。

【符号の説明】

1 中央制御部

2 通信制御部

21 インターフェイス用共有メモリ(DPRAM)

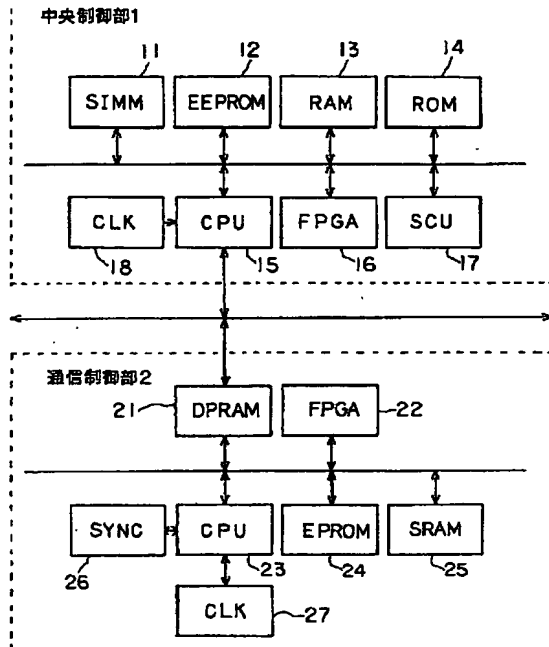
21a 中央制御部コマンドエリア(コマンドエリア

1)

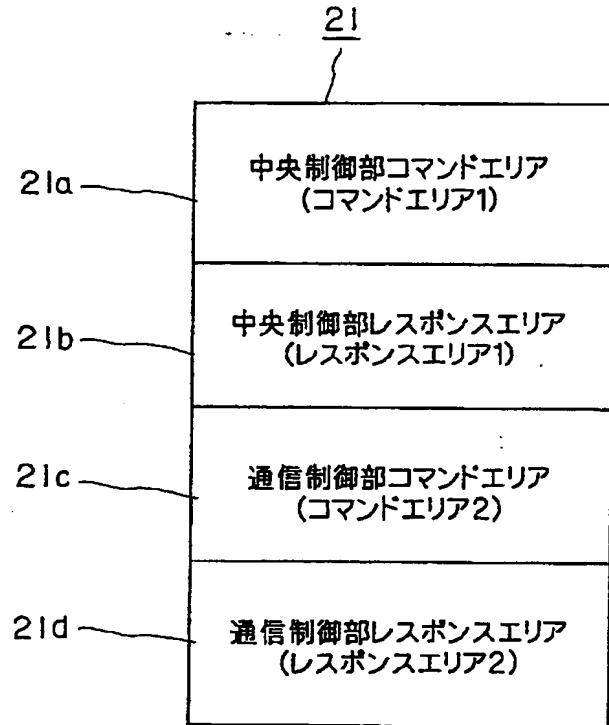
21b 中央制御部レスポンスエリア (レスポンスエリア1)
 21c 通信制御部コマンドエリア (コマンドエリア)

2)
 21d 通信制御部レスポンスエリア (レスポンスエリア2)
 ア2)

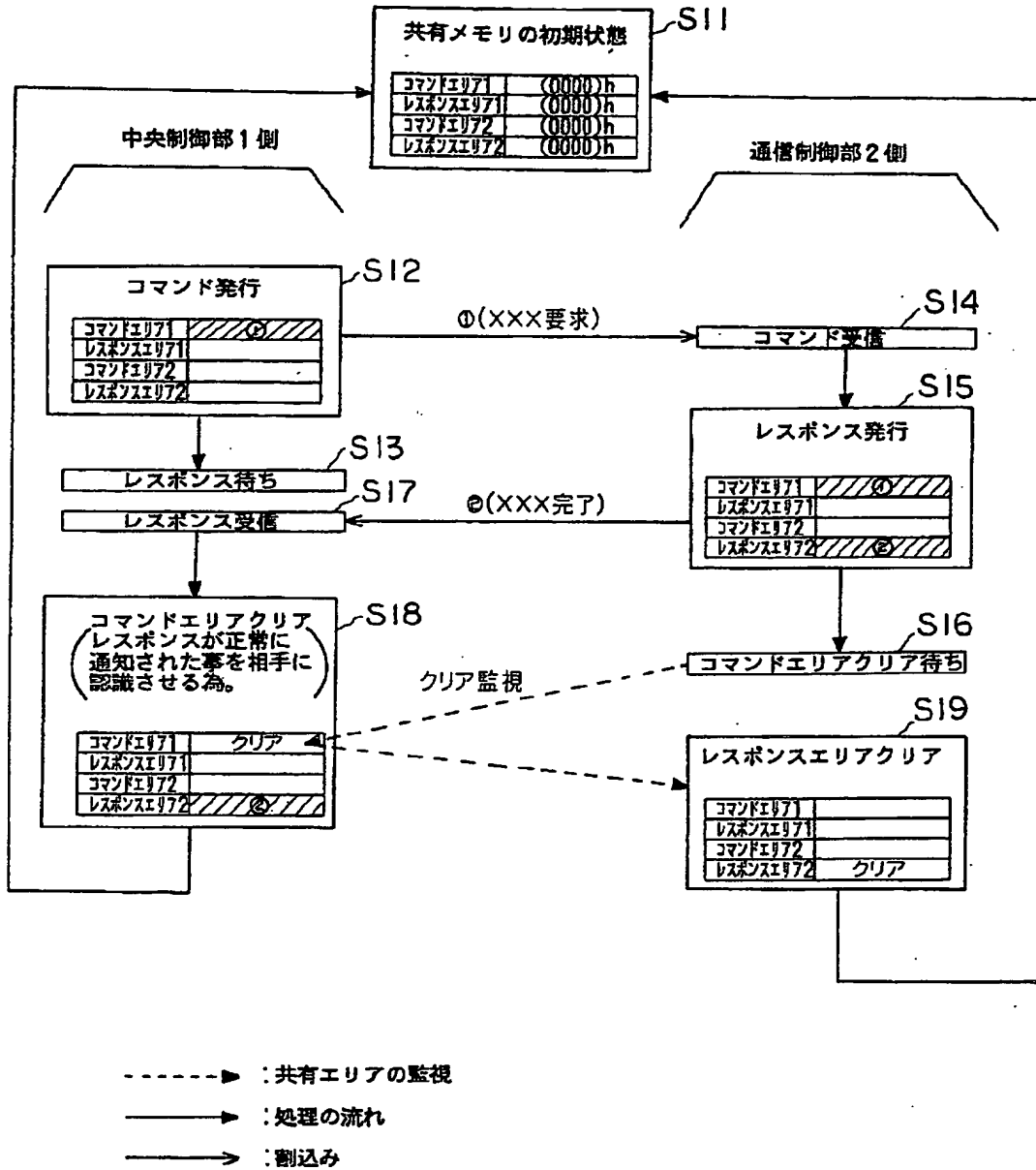
【図1】



【図2】



【図 3】



【図 4】

